

(43) 国際公開日  
2006年3月2日 (02.03.2006)

PCT

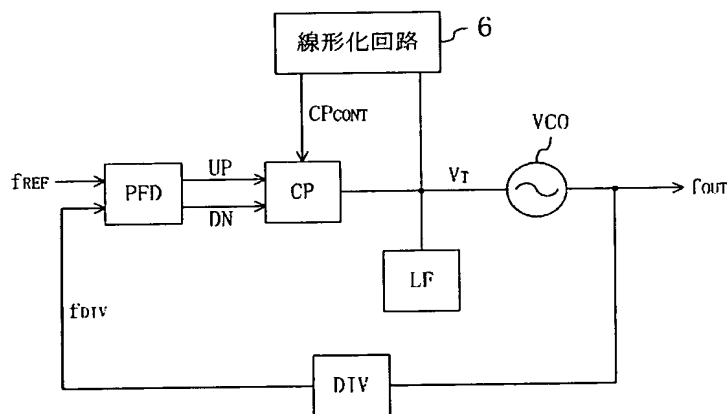
(10) 国際公開番号  
WO 2006/022054 A1

- (51) 国際特許分類<sup>7</sup>: H03L 7/093 (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (21) 国際出願番号: PCT/JP2005/008708
- (22) 国際出願日: 2005年5月12日 (12.05.2005) (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2004-247794 2004年8月27日 (27.08.2004) JP (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 澤田 昭弘 (SAWADA, Akihiro).

[続葉有]

(54) Title: PLL FREQUENCY SYNTHESIZER

(54) 発明の名称: PLL周波数シンセサイザ



6 LINEARIZATION CIRCUIT

(57) Abstract: In a PLL frequency synthesizer, a linearization circuit (6) is provided which receives an oscillation frequency control signal (VT) from a loop filter (LF). The linearization circuit (6) outputs, in accordance with the potential level of the oscillation frequency control signal (VT), a charge pump current control signal (CPCONT) that exhibits the higher value, the higher the potential level. The charge pump (CP) receives the charge pump current control signal (CPCONT) to cause a current in accordance with the value of the received charge pump current control signal (CPCONT) to flow in or flow out. Thus, a simple circuit arrangement can be used to adjust and maintain constant the loop gain characteristic of the PLL frequency synthesizer. Accordingly, even when a variable capacitance element included in the a voltage controlled oscillator has a nonlinear characteristic for the potential of the input oscillation frequency control signal, the loop gain of the PLL frequency synthesizer having this voltage controlled oscillator can be adjusted and maintained constant.

(57) 要約: PLL周波数シンセサイザにおいて、ループフィルタLFからの発振周波数制御信号VTを入力する線形化回路6が設けられる。この線形化回路6は、発振周波数制御信号VTの電位レベルに応じて、

[続葉有]



IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),  
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

— 補正書

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

その電位レベルが高いほど大値のチャージポンプ電流制御信号CPCONTを出力する。チャージポンプCPは、前記チャージポンプ電流制御信号CPCONTを受けて、その値に応じた電流を流入又は流出させる。従って、簡単な回路構成でもって、PLL周波数周波数シンセサイザのループゲイン特性を一定に調整できる。従って、電圧制御型発振器に搭載される可変容量素子が、入力される発振周波数制御信号の電位に対して非線形特性を持っていても、この電圧制御型発振器を有するPLL周波数シンセサイザのループゲイン特性が一定に調整される。

## 明 細 書

## PLL周波数シンセサイザ

## 技術分野

- [0001] 本発明は、無線通信分野における半導体集積回路に用いられ、電波の送信／受信に必要なローカル信号を発生させるためのPLL周波数シンセサイザに関し、特に、そのPLL周波数シンセサイザの特性改善に関する。

## 背景技術

- [0002] 従来のPLL周波数シンセサイザの構成を図11に示す。
- [0003] 図11に示した従来のPLL周波数シンセサイザは、電圧制御型発振器VCOと、プログラマブル分周器DIVと、位相比較器PFDと、チャージポンプ回路CPと、ループフィルタLFとを備える。
- [0004] 前記電圧制御型発振器VCOは、発振周波数制御信号VT(後述)の電位に応じて発振周波数を変化させる。前記分周器DIVは、電圧制御型発振器VCOからの発振周波数を、外部から入力されるチャネル選択信号に応じた分周比になるように分周する。前記位相比較器PFDは、前記分周器DIVからの出力信号fDIVと、外部から入力されたリファレンス信号fREFとの間の位相差を検出し、その位相差信号を出力する。前記チャージポンプ回路CPは、前記位相比較器PFDからの位相差信号に応じて、出力点に対して電流を流入又は流出させる。前記ループフィルタLFは、前記チャージポンプ回路CPからの出力電流の高周波成分を濾波すると共に、その出力電流を直流電圧値に変換する。前記ループフィルタLFの出力は、発振周波数制御信号VTとして、電圧制御型発信器VCOにフィードバックされる。
- [0005] このように構成された従来のPLL周波数シンセサイザの出力周波数f<sub>out</sub>は、リファレンス信号の周波数f<sub>ref</sub>と、プログラム分周器DIVの分周比Nとを用いて、次式1で表される周波数で表現される。
- [0006] [数1]

$$f_{out} = N \cdot f_{ref} \quad \dots\dots (1)$$

[0007] 実際の無線機では、前記リファレンス信号の周波数fref若しくは分周比N、又はこの両者を変化させることにより、所定の出力周波数foutを得て、この出力周波数foutの信号をローカル信号として、無線信号の送信／受信に用いている。

[0008] このPLL周波数シンセサイザのオープンループゲインGH(s)は、次式2で表される。

[0009] [数2]

$$GH(s) = K_p \cdot Z_{lf}(s) \cdot \frac{K_{VCO}}{s} \cdot \frac{1}{N} \quad \dots\dots (2)$$

[0010] ここで、KVCOは電圧制御型発振器VCOの感度、Nは分周数、Zlf(s)はループフィルタの伝達関数、Kpは位相比較器PFD及びチャージポンプ回路CPの変換利得である。この変換利得Kpは、チャージポンプ電流をICPとすると、次式3で表される。

[0011] [数3]

$$K_p = \frac{I_{CP}}{2\pi} \quad \dots\dots (3)$$

[0012] 電圧制御型発振器VCOの感度KVCOは、入力される発振周波数制御信号VTの変化に対する発振周波数の変化の割合で表わされる。無線通信機器のPLL周波数シンセサイザとして一般的に用いられるLC型電圧制御型発振器LC-VCOでは、発振周波数制御信号VTが可変容量に出力されて、この発振周波数制御信号VTの電圧に応じて可変容量の容量値が変化することにより、電圧制御型発振器VCOの発振周波数を変化させている。

[0013] ここで、可変容量として頻繁に用いられるMOS型可変容量やp-nジャンクション型可変容量の可変容量特性は、一般的に、入力(つまり発振周波数制御信号VT)に対して非線形であり、その結果、電圧制御型発振器VCOの発振周波数特性も、入力の発振周波数制御信号VTに対して非線形となる。j-nジャンクション容量を可変容量として用いた一般的な電圧制御型発振器VCOは、図12(a)に示すような発振周波数fVCOの特性を持ち、その感度KVCOは同図(b)に示すような特性となる。

。ここで、チャージポンプ電流ICPは、一般的に同図(c)に示すように一定電流であるため、このような電圧制御型発振器VCOを有するPLL周波数シンセサイザのオープンループゲインGH(s)は、同図(d)に示すように非線形となり、発振周波数制御信号VTの電位に応じてPLL周波数シンセサイザ全体のループゲイン特性が変化することになる。このループゲイン特性の発振周波数制御信号VTの電位による変動は、ロックアップ時間の変動、位相ノイズ特性の変動等の原因となり、特性劣化の要因となる。

- [0014] この問題を解決するために、従来技術として、特許文献1に記載された技術がある。この技術では、発振周波数制御信号VTをA/D変換し、DSP (Digital Signal Processor)を用いてPLL周波数シンセサイザの収束過程における過渡的応答を高速サンプリングによって検出することにより、電圧制御型発振器VCOの感度KVCOを求め、その結果に従って位相比較器PFD及びチャージポンプ回路CPの変換利得Kpを変化させて、PLL周波数シンセサイザの伝達特性を一定にするようにしている。

特許文献1:特開平10-154934号公報

発明の開示

発明が解決しようとする課題

- [0015] しかしながら、前記従来技術では、A/D変換器、DSP及びD/A変換器が必要であって、高価格化や回路面積の増大が大きく、PLL周波数シンセサイザ全体の回路面積の増大が避けられず、このPLL周波数シンセサイザを搭載する製品サイズの増大やコスト増につながる問題がある。また、これ等の回路から発生するノイズは、PLL周波数シンセサイザの特性を悪化させる要因ともなる。

- [0016] 本発明は、前記従来技術の課題を解決するものであり、その目的は、面積の増加や高価格化を抑えつつ、PLL周波数シンセサイザの特性劣化を招くことなく、PLL周波数シンセサイザのループ特性の変動を小さく抑制することにある。

課題を解決するための手段

- [0017] 以上の目的を達成するため、本発明では、従来のようにA/D変換器、DSP及びD/A変換器を用いることなく、簡易な構成でもって位相比較器及びチャージポンプ回

路の変換利得を変化させる構成を採用する。

- [0018] すなわち、本発明のPLL周波数シンセサイザは、発振周波数制御信号の電位に応じて発振周波数を変化させる電圧制御型発振器と、前記電圧制御型発振器からの発振周波数を所定の分周比に分周する分周器と、前記分周器からの出力信号と外部からのリファレンス信号とを受け、この両信号間の位相差を検出して位相差信号を出力する位相比較器と、前記位相比較器の位相差信号に応じて一定電流を流入又は流出させるチャージポンプ回路と、前記チャージポンプ回路の出力の高周波成分を濾波すると共に、前記チャージポンプ回路から流入又は流出する電流を電圧に変換して、前記発振周波数制御信号として出力するループフィルタとを備えると共に、PLL周波数シンセサイザのループゲインの前記発振周波数制御信号に対する非線形性を補償するように、前記位相比較器及び前記チャージポンプ回路の変換利得を制御する線形化回路を備えたことを特徴とする。
- [0019] 本発明は、前記PLL周波数シンセサイザにおいて、前記線形化回路は、前記ループフィルタの発振周波数制御信号を受け、この発振周波数制御信号の電位に応じて、前記位相比較器及びチャージポンプ回路の変換利得を連続的に制御することを特徴とする。
- [0020] 本発明は、前記PLL周波数シンセサイザにおいて、前記線形化回路は、前記ループフィルタの発振周波数制御信号の電位に応じて、流す電流が変化するトランジスタを有し、前記トランジスタが流す電流の値に基づいて、前記位相比較器及びチャージポンプ回路の変換利得を連続的に制御することを特徴とする。
- [0021] 本発明は、前記PLL周波数シンセサイザにおいて、前記線形化回路が有するトランジスタは、複数個で構成され、前記複数個のトランジスタが流す電流の総和により、前記位相比較器及びチャージポンプ回路の変換利得を連続的に制御することを特徴とする。
- [0022] 本発明は、前記PLL周波数シンセサイザにおいて、前記線形化回路が有する複数個のトランジスタは、各々、閾値電圧が異なることを特徴とする。
- [0023] 本発明は、前記PLL周波数シンセサイザにおいて、前記線形化回路は、バイアス電圧を発生するバイアス電圧発生回路を有し、前記線形化回路が有するトランジスタ

は、ソースに前記バイアス電圧発生回路のバイアス電圧が与えられ、ゲートに前記ループフィルタの発振周波数制御信号が与えられ、前記トランジスタが流す電流の値に基づいて、前記位相比較器及びチャージポンプ回路の変換利得を連続的に制御することを特徴とする。

[0024] 本発明は、前記PLL周波数シンセサイザにおいて、前記線形化回路が有するトランジスタは、複数個で構成され、前記複数個のトランジスタが流す電流の総和により、前記位相比較器及びチャージポンプ回路の変換利得を連続的に制御することを特徴とする。

[0025] 本発明は、前記PLL周波数シンセサイザにおいて、前記バイアス電圧発生回路は、異なる複数のバイアス電圧を発生し、前記線形化回路が有する複数個のトランジスタは、各々のソースに、前記バイアス電圧発生回路からの異なるバイアス電圧が与えられることを特徴とする。

[0026] 本発明は、前記PLL周波数シンセサイザにおいて、前記バイアス電圧発生回路は、外部から入力されるバイアス電圧設定信号に基づいて、発生する複数のバイアス電圧を変更することを特徴とする。

[0027] 本発明は、前記PLL周波数シンセサイザにおいて、前記線形化回路が有する複数のトランジスタは、P型若しくはN型のMOSTランジスタ、又はP型及びN型のMOSTランジスタで構成されることを特徴とする。

[0028] 本発明は、前記PLL周波数シンセサイザにおいて、前記線形化回路は、前記ループフィルタからの発振周波数制御信号の電圧を電流に変換する電圧－電流変換回路と、前記電圧－電流変換回路からの電流を受け、この受けた電流の値に応じたチャージポンプ電流制御信号を生成し、このチャージポンプ電流制御信号を前記チャージポンプ回路に出力するチャージポンプ電流制御回路とを有し、前記チャージポンプ回路は、前記チャージポンプ電流制御回路からのチャージポンプ電流制御信号に基づいて、流す電流の値を調整することを特徴とする。

[0029] 以上により、本発明では、線形化回路が、例えば、ループフィルタからの発振周波数制御信号の電位に応じて位相比較器及びチャージポンプ回路の変換利得を連続的に制御するので、従来のようにA/D変換器、DSP及びD/A変換器を用いる必

要がなく、線形化回路を用いた比較的簡単な構成でもって、PLL周波数シンセサイザのループゲイン特性が発振周波数制御信号の電位に依らず一定に調整される。

- [0030] 特に、本発明では、線形化回路が、トランジスタの入力電圧に対する電流駆動能力の変化を利用して、位相比較器及び前記チャージポンプ回路の変換利得を制御するので、より一層に簡単な構成でもってPLL周波数シンセサイザのループゲイン特性が一定に調整される。

#### 発明の効果

- [0031] 以上説明したように、本発明によれば、線形化回路を用いて、位相比較器及びチャージポンプ回路の変換利得を連続的に制御したので、従来よりも簡易な構成でもってPLL周波数シンセサイザのループゲイン特性を一定に調整することが可能である。従って、広帯域に亘ってロックアップ時間の変動や位相ノイズ特性の変動等を抑制できるので、広帯域無線通信分野に必要な広帯域PLL周波数シンセサイザを、安価に且つ高性能に提供することが可能である。
- [0032] 特に、本発明によれば、より一層に簡単な構成でもってPLL周波数シンセサイザのループゲイン特性を一定に調整することができる。

#### 図面の簡単な説明

- [0033] [図1]図1は本発明の第1の実施形態におけるPLL周波数シンセサイザの全体構成を示す図である。
- [図2]図2は同PLL周波数シンセサイザに備える線形化回路の構成を示す図である。
- [図3]図3は同線形化回路の具体的構成を示す図である。
- [図4]図4(a)は本発明の第1の実施形態におけるPLL周波数シンセサイザに備える電圧制御型発振器の発振周波数特性、(b)はその感度、(c)はチャージポンプ電流特性、(d)はPLL周波数シンセサイザのループゲイン特性を各々示す図である。
- [図5]図5は本発明の第2の実施形態におけるPLL周波数シンセサイザに備える線形化回路の具体的構成を示す図である。
- [図6]図6は同PLL周波数シンセサイザに備えるチャージポンプの電流特性を示す図である。
- [図7]図7は本発明の第3の実施形態におけるPLL周波数シンセサイザに備える線



形化回路の具体的構成を示す図である。

[図8]図8は本発明の第4の実施形態におけるPLL周波数シンセサイザに備える線形化回路の具体的構成を示す図である。

[図9]図9は本発明の第5の実施形態におけるPLL周波数シンセサイザに備える線形化回路の具体的構成を示す図である。

[図10]図10は本発明の第5の実施形態におけるPLL周波数シンセサイザにおいて、(a)は電圧制御型発振器の発振周波数特性、(b)はその感度、(c)はチャージポンプ電流特性、(d)はPLL周波数シンセサイザのループゲイン特性を各々示す図である。

[図11]図11は従来のPLL周波数シンセサイザの構成を示す図である。

[図12]図12(a)は従来のPLL周波数シンセサイザに備える電圧制御型発振器の発振周波数特性、同図(b)はその感度、同図(c)はチャージポンプ電流特性、同図(d)は従来のPLL周波数シンセサイザのループゲイン特性を各々示す図である。

#### 符号の説明

[0034]	VCO	電圧制御型発振器
	VIV	プログラマブル分周器
	PED	位相比較器
	CP	チャージポンプ回路
	LF	ループフィルタ
	6、6'、6''、6'''、6''''	線形化回路
	7、7'、7''、7'''、7''''	V-I変換回路(電圧-電流変換回路)
	8、8'	CPバイアス制御回路 (チャージポンプ電流制御回路)
	MN1、MN1A、MN1B	N型トランジスタ(トランジスタ)
	VT	発振周波数制御信号
	CPCONT	チャージポンプ電流制御信号

#### 発明を実施するための最良の形態

[0035] 以下、本発明の実施形態のPLL周波数シンセサイザについて図面を参照しながら

説明する。

[0036] (第1の実施形態)

図1は、本発明の第1の実施形態のPLL周波数シンセサイザの構成を示すものである。

[0037] 同図において、PLL周波数シンセサイザは、電圧制御型発振器VCOと、プログラマブル分周器DIVと、位相比較器PFDと、チャージポンプ回路CPと、ループフィルタLFとを備える。

[0038] 前記電圧制御型発振器VCOは、発振周波数制御信号VTの電圧に応じて発振周波数を変化させる。前記分周器DIVは、電圧制御型発振器VCOからの発振周波数fOUTを、外部から入力されるチャネル選択信号に応じた分周比になるように分周する。前記位相比較器PFDは、前記分周器DIVからの出力信号fDIVと、外部から入力されたリファレンス信号fREFとの間の位相差を検出し、その位相差信号を出力する。前記チャージポンプ回路CPは、前記位相比較器PFDからの位相差信号に応じて、出力点に対して電流を流入又は流出させる。前記ループフィルタLFは、前記チャージポンプ回路CPからの出力電流の高周波成分を濾波すると共に、その出力電流を直流電圧値に変換する。前記ループフィルタLFの出力は、発振周波数制御信号VTとして、電圧制御型発振器VCOにフィードバックされる。

[0039] そして、本実施形態では、更に、前記電圧制御型発振器VCOの感度(詳しくは、出力する発振周波数fOUTの変化の割合)の発振周波数制御信号VTに対する非線形性を補償するように、位相比較器PFD及びチャージポンプ回路CPの変換利得Kpを連続的に制御する線形化回路(Linearization Circuit)6が備えられる。以下、この線形化回路6について説明する。

[0040] 前記線形化回路6の内部構成を図2に示す。同図の線形化回路6は、V-I変換回路(電圧-電流変換回路)7と、チャージポンプバイアス電流制御回路(以下、CPバイアス制御回路と略記する)8とを備える。前記V-I変換回路7は、ループフィルタLFからの発振周波数制御信号VTを入力し、その発振周波数制御信号VTの電位レベルを、その電位レベルに応じた電流値V-IOUTに変換する。また、前記CPバイアス制御回路(チャージポンプ電流制御回路)8は、前記V-I変換回路7で得られた電

流値 $V-I_{OUT}$ に応じて、チャージポンプ回路CPのチャージポンプ電流 $I_{CP}$ のバイアス電流値を制御する信号であるチャージポンプ電流制御信号CPCONTを出力する。

- [0041] 前記図2に示した線形化回路6内の $V-I$ 変換回路7及びCPバイアス制御回路8の具体的構成を図3に示す。同図において、 $V-I$ 変換回路7では、P型トランジスタ $M_{P1}$ とN型トランジスタ $M_{N1}$ との直列回路が電源と接地間に配置される。N型トランジスタ $M_{N1}$ は、そのゲートに、ループフィルタLFからの発振周波数制御信号VTが入力されていて、この発振周波数制御信号VTの電位に応じて、その流す電流 $I_1$ の値が変化する。すなわち、発信周波数制御信号VTの電位の上昇に従ってN型トランジスタ $M_{N1}$ の電流駆動能力が増大して、流れる電流値 $I_1$ は増加する。
- [0042] また、図3に示したCPバイアス制御回路8では、P型トランジスタ $M_{P2}$ が備えられ、このP型トランジスタ $M_{P2}$ と前記 $V-I$ 変換回路7のP型トランジスタ $M_{P1}$ とによりカレントミラー回路を構成して、前記 $V-I$ 変換回路7のN型トランジスタ $M_{N1}$ に流れる電流値 $I_1$ をカレントミラーして、CPバイアス制御回路8内にこの電流値 $I_1$ が取り込まれる。また、CPバイアス制御回路8は、2個のP型トランジスタ $M_{P3}$ 、 $M_{P4}$ から成るカレントミラー回路及び基準電流源10から電流 $I_0$ を生成し、この電流 $I_0$ を前記取り込んだ電流値 $I_1$ に加えて、この合計電流値 $I_0 + I_1$ をN型トランジスタ $M_{N2}$ に流し、この電流値 $I_0 + I_1$ を前記N型トランジスタ $M_{N2}$ のゲート電極であるノードからチャージポンプ電流制御信号CPCONTとして、図1に示したチャージポンプ回路CPに与えて、このチャージポンプ回路CPのチャージポンプ電流 $I_{CP}$ を制御する。このチャージポンプ電流制御信号CPCONTを用いてチャージポンプ電流 $I_{CP}$ を如何に制御するかについては、図示を省略するが、チャージポンプ電流制御信号CPCONTの値に比例した電流がチャージポンプ回路CPから流れるようにすれば良い。
- [0043] 図4は、本実施形態におけるPLL周波数シンセサイザの各部及び全体のループゲイン特性を示す。同図(a)は、p-nジャンクション型の可変容量を使用した一般的な電圧制御型発振器VCOの発振周波数 $f_{VCO}$ の特性を示す。同図(b)は、この電圧制御型発振器VCOの感度 $K_{VCO}$ の特性を示す。同図(a)、(b)から判るように、発振周波数制御信号VTの電位の増大に従って電圧制御型発振器VCOの発振周波

数 $f_{VCO}$ の変化の割合は小さくなり、感度 $K_{VCO}$ も小さくなる。同図(c)は、チャージポンプ回路CPの電流特性を示す。同図(c)に示す点線は、図1に示した従来例でのチャージポンプ電流ICPであって一定値であるが、本実施形態では、実線で示すように、線形化回路8により、チャージポンプ電流ICPは、発振周波数制御信号VTの電位増大に従って増加することとなる。従って、同図(d)に示すように、PLL周波数シンセサイザ全体のループゲイン $GH(s)$ 特性は、電圧制御型発振器VCOの感度 $K_{VCO}$ の特性に、チャージポンプ回路CPの電流ICPを乗じたものに比例する。よって、従来では、同図(d)に点線で示すように、PLL周波数シンセサイザ全体のループゲイン $GH(s)$ の特性は、発振周波数制御信号VTの電位増大に対し単調減少して、発振周波数制御信号VTに対して変動が大きかったのに対し、本実施形態では、線形化回路8により、その変動を同図に実線で示すように減少させることが可能である。

[0044] このように、本実施形態のPLL周波数シンセサイザでは、図3に示した極めて簡単な線形化回路8を追加するのみで、発振周波数制御信号VTの電位レベルによらず、PLL周波数シンセサイザ全体のループゲイン $GH(s)$ の特性をほぼ一定にすることができるので、PLL周波数シンセサイザのロック時間や位相ノイズ特性の変動の低減効果を、極めて小さな回路規模の増加で広帯域に亘って実現できる。

[0045] (第2の実施形態)

次に、本発明の第2の実施形態を説明する。本実施形態は、前記第1の実施形態に示した線形化回路6を変形したものである。

[0046] すなわち、図5に示した線形化回路6'では、V-I変換回路7'において、P型及びN型トランジスタMP1A、MN1Aの直列回路と、他のP型及びN型トランジスタMP1B、MN1Bの直列回路との2回路が配置されており、前記2個のN型トランジスタMN1A、MN1Bのゲートに各々前記ループフィルタLFからの発振周波数制御信号VTが入力される。従って、図3に示したV-I変換回路7と同様に、各直列回路の2個のN型トランジスタMN1A、MN1Bは、各々、その流す電流 $I_{1A}$ 、 $I_{1B}$ が、そのゲートに受ける発振周波数制御信号VTの電位に応じて変化する。また、CPバイアス制御回路8'には、電流取込用の2個のP型トランジスタMP2A、MP2Bが備えられて、前記V-I変換回路7'に流れる2つの電流 $I_{1A}$ 、 $I_{1B}$ がカレントミラー構成によりCPバイア

ス制御回路8'内に取り込まれる。この取り込まれた2つの電流I1A、I1Bは、図6にも示すように基準電流IOと加算されて、N型トランジスタMN2のゲート電極からチャージポンプ電流制御信号CPCONTとして、図1のチャージポンプ回路CPに与えられる。

[0047] ここで、前記V-I変換回路7'において、2個のN型トランジスタMN1A、MN1Bは、異なる閾値電圧を有し、同じバイアス電圧値(発振周波数制御信号VT)であっても、電流駆動能力の差により、流れる電流量I1A、I1Bは相互に異なる。従って、本実施形態では、発振周波数制御信号VTの変化に対して、CPバイアス制御回路8'からのチャージポンプ電流制御信号CPCONTをよりきめ細かく制御することが可能である。よって、チャージポンプ電流ICPの発振周波数制御信号VTの電位依存を、電圧制御型発振器VCOの感度特性に近づけることが可能となつて、PLL周波数シンセサイザの発振周波数制御信号VTの電位変化による変動をより一層に低減することができる。

[0048] 尚、本実施形態では、2個のN型トランジスタMN1A、MN1Bの閾値電圧を相互に異ならせて、チャージポンプ電流制御信号CPCONTを細かく制御したが、3個以上のN型トランジスタを設けても良いの勿論のこと、各N型トランジスタを流れる電流を閾値電圧以外のパラメータで制御することにより、チャージポンプ電流制御信号CPCONTをきめ細かく制御しても良い。

[0049] (第3の実施形態)

続いて、本発明の第3の実施形態を説明する。本実施形態は、前記第1の実施形態に示した線形化回路6を更に変形したものである。

[0050] すなわち、図7に示した線形化回路6''では、V-I変換回路7''において、発振周波数制御信号VTがゲートに入力されるN型トランジスタMN1のソースと接地との間に、N型トランジスタMN3が配置される。このN型トランジスタMN3のゲートには、オペアンプ12が接続され、このオペアンプ12には前記N型トランジスタMN1のソース電圧と、バイアス電圧発生回路11により発生したバイアス電圧とが入力されている。前記オペアンプ12は、前記N型トランジスタMN1のソース電圧がバイアス電圧発生回路11により発生したバイアス電圧に一致するように、N型トランジスタMN3を制御

する。尚、図7に示したCPバイアス制御回路8は、図1のCPバイアス制御回路8と同一構成である。

[0051] 従って、V-I変換回路7'のN型トランジスタMN1に流れる電流I1は、バイアス電圧発生回路11のバイアス電圧と、ループフィルタLFの発振周波数制御信号VTの電位とによって決定される。よって、バイアス電圧発生回路11のバイアス電圧を、外部から入力されるバイアス電圧設定信号によって種々設定することにより、CPバイアス制御回路8からのチャージポンプ電流制御信号CPCONTを前記第1及び第2の実施形態よりもより一層に細かく制御することができるので、PLL周波数シンセサイザのループゲインの発振周波数制御信号VTの電位による変動をより一層に小さく抑制することが可能である。

[0052] (第4の実施形態)

更に、本発明の第4の実施形態を説明する。本実施形態は、前記第2の実施形態を示す図5の線形化回路6'を更に変形したものである。

[0053] すなわち、図8に示した線形化回路6'''では、図5に示したV-I変換回路7'に対して更に図7のバイアス電圧発生回路11を備える構成を追加したものである。詳しく説明すると、V-I変換回路7'''において、発振周波数制御信号VTがゲートに入力されるN型トランジスタMN1A、MN1Bのソースと接地との間に、N型トランジスタMN3A、MN3Bが配置される。これ等のN型トランジスタMN3A、MN3Bの各ゲートには、オペアンプ12A、12Bが接続される。一方のオペアンプ12Aには、対応するN型トランジスタMN1Aのソース電圧と、バイアス電圧発生回路11からの第1のバイアス電圧とが入力され、他方のオペアンプ12Bには、対応するN型トランジスタMN1Bのソース電圧と、バイアス電圧発生回路11からの第2のバイアス電圧とが入力される。

[0054] 従って、本実施形態では、N型トランジスタMN1A、MN1Bの閾値電圧の設定による電流駆動能力の適切化と、バイアス電圧発生回路11の第1及び第2のバイアス電圧値の制御により、発振周波数制御信号VTによる電圧制御型発振器VCOの感度の非線形性を良好に補償したチャージポンプ電流ICPを生成することができ、よって、PLL周波数シンセサイザ全体のループゲイン特性の変動を極めて小さく抑制することが可能である。

- [0055] 尚、本実施形態では、ゲートに発振周波数制御信号VTが入力されるN型トランジスタMN1A、MN1Bの個数は2個であり、バイアス電圧発生回路11が発生するバイアス電圧も2種である例を示したが、N型トランジスタの個数も、発生するバイアス電圧も各々3つ以上であっても良いのは勿論である。
- [0056] (第5の実施形態)
- 次に、本発明の第5の実施形態を説明する。本実施形態は、前記図8に示した第4の実施形態の線形化回路6'''を更に変形したものである。
- [0057] すなわち、図9に示した線形化回路6'''では、V-I変換回路7'''において、発振周波数制御信号VTがゲートに入力される2個のトランジスタは、N型トランジスタMN1AとP型トランジスタMP1Bとより構成される。更に、前記P型トランジスタMP1BとN型トランジスタMN1Bとから成る直列回路に流れる電流I1Bをカレントミラー構成により外部に出力するためのP型及びN型トランジスタMP4、MN4が配置されている。
- [0058] 従って、本実施形態では、発振周波数制御信号VTの電位が増大して、N型トランジスタMN1Aのソースに入力されるバイアス電圧よりもそのN型トランジスタMN1Aの閾値電圧以上になると、この時点でN型トランジスタMN1Aには電流が流れ、一方、発振周波数制御信号VTの電位が減少して、P型トランジスタMP1Bのソースに入力されるバイアス電圧よりもそのP型トランジスタMP1Bの閾値電圧以下になると、この時点でP型トランジスタMP1Bには、電流が流れることになる。
- [0059] 可変容量としてMOS型可変容量を用いた場合の一般的な電圧制御型発振器VCOの発振周波数fVCOの特性は、図10(a)に示すようになり、その感度KVCOの特性は同図(b)のようになる。ここで、CPバイアス制御回路8'からのチャージポンプ電流制御信号CPCONTによって制御されるチャージポンプ回路CPからのチャージポンプ電流ICPは、同図(c)に示すように、発振周波数制御信号VTの電位が低いときには、P型トランジスタMP1Bが流す電流I1Bにより増加し、発振周波数制御信号VTの電位が高いときにも、N型トランジスタMN1Aが流す電流I1Aにより増加するので、電圧制御型発振器VCOの感度特性の非線形性を補償する形になる。同図(d)に示すように、PLL周波数シンセサイザのループゲインGH(s)の特性は、点線で示した従来例では、発振周波数制御信号VTの電位変動に応じて大きく変動するが、実

線で示す本実施形態では、発振周波数制御信号VTの電位に対して広帯域でほぼ一定の値をとることができ、PLL周波数シンセサイザのループゲイン特性の変動の低減効果は極めて大きい。

- [0060] 尚、図7、図8及び図9に示したバイアス電圧発生回路11は、外部から入力されるバイアス電圧設定信号により、出力するバイアス電圧を可変に制御可能であるので、PLL周波数シンセサイザを製造した際の電圧制御型発振器VCOの感度KVCOの特性のばらつきや、線形化回路6''、6'''、6''''を構成するトランジスタの電流駆動能力のばらつき等を考慮して、最適なバイアス電圧を設定することが可能である。

#### 産業上の利用可能性

- [0061] 以上説明したように、本発明は、ループフィルタからの発振周波数制御信号に応じて位相比較器及びチャージポンプ回路の変換利得を制御する線形化回路を用いて、発振周波数制御信号の電位による電圧制御型発振器の感度特性の非線形性を補償して、PLL周波数シンセサイザのループゲイン特性を発振周波数制御信号の電位に依らず一定にしたので、通信分野における比較的広帯域のPLL周波数シンセサイザ等の用途に適用すると有用である。



## 請求の範囲

- [1] 発振周波数制御信号の電位に応じて発振周波数を変化させる電圧制御型発振器と、
- 前記電圧制御型発振器からの発振周波数を所定の分周比に分周する分周器と、
- 前記分周器からの出力信号と外部からのリファレンス信号とを受け、この両信号間の位相差を検出して位相差信号を出力する位相比較器と、
- 前記位相比較器の位相差信号に応じて一定電流を流入又は流出させるチャージポンプ回路と、
- 前記チャージポンプ回路の出力の高周波成分を濾波すると共に、前記チャージポンプ回路から流入又は流出する電流を電圧に変換して、前記発振周波数制御信号として出力するループフィルタとを備えると共に、
- PLL周波数シンセサイザのループゲインの前記発振周波数制御信号に対する非線形性を補償するように、前記位相比較器及び前記チャージポンプ回路の変換利得を制御する線形化回路を備えた
- ことを特徴とするPLL周波数シンセサイザ。
- [2] 前記請求項1記載のPLL周波数シンセサイザにおいて、
- 前記線形化回路は、
- 前記ループフィルタの発振周波数制御信号を受け、この発振周波数制御信号の電位に応じて、前記位相比較器及びチャージポンプ回路の変換利得を連続的に制御する
- ことを特徴とするPLL周波数シンセサイザ。
- [3] 前記請求項2記載のPLL周波数シンセサイザにおいて、
- 前記線形化回路は、
- 前記ループフィルタの発振周波数制御信号の電位に応じて、流す電流が変化するトランジスタを有し、
- 前記トランジスタが流す電流の値に基づいて、前記位相比較器及びチャージポンプ回路の変換利得を連続的に制御する
- ことを特徴とするPLL周波数シンセサイザ。

- [4] 前記請求項3記載のPLL周波数シンセサイザにおいて、  
前記線形化回路が有するトランジスタは、複数個で構成され、  
前記複数個のトランジスタが流す電流の総和により、前記位相比較器及びチャージポンプ回路の変換利得を連続的に制御する  
ことを特徴とするPLL周波数シンセサイザ。
- [5] 前記請求項4記載のPLL周波数シンセサイザにおいて、  
前記線形化回路が有する複数個のトランジスタは、各々、閾値電圧が異なる  
ことを特徴とするPLL周波数シンセサイザ。
- [6] 前記請求項3記載のPLL周波数シンセサイザにおいて、  
前記線形化回路は、バイアス電圧を発生するバイアス電圧発生回路を有し、  
前記線形化回路が有するトランジスタは、ソースに前記バイアス電圧発生回路のバイアス電圧が与えられ、ゲートに前記ループフィルタの発振周波数制御信号が与えられ、  
前記トランジスタが流す電流の値に基づいて、前記位相比較器及びチャージポンプ回路の変換利得を連続的に制御する  
ことを特徴とするPLL周波数シンセサイザ。
- [7] 前記請求項6記載のPLL周波数シンセサイザにおいて、  
前記線形化回路が有するトランジスタは、複数個で構成され、  
前記複数個のトランジスタが流す電流の総和により、前記位相比較器及びチャージポンプ回路の変換利得を連続的に制御する  
ことを特徴とするPLL周波数シンセサイザ。
- [8] 前記請求項7記載のPLL周波数シンセサイザにおいて、  
前記バイアス電圧発生回路は、異なる複数のバイアス電圧を発生し、  
前記線形化回路が有する複数個のトランジスタは、各々のソースに、前記バイアス電圧発生回路からの異なるバイアス電圧が与えられる  
ことを特徴とするPLL周波数シンセサイザ。
- [9] 前記請求項8記載のPLL周波数シンセサイザにおいて、  
前記バイアス電圧発生回路は、

外部から入力されるバイアス電圧設定信号に基づいて、発生する複数のバイアス電圧を変更する

ことを特徴とするPLL周波数シンセサイザ。

- [10] 前記請求項4、5、7及び8の何れか1項に記載のPLL周波数シンセサイザにおいて、

前記線形化回路が有する複数のトランジスタは、P型若しくはN型のMOSTランジスタ、又はP型及びN型のMOSTランジスタで構成される

ことを特徴とするPLL周波数シンセサイザ。

- [11] 前記請求項2記載のPLL周波数シンセサイザにおいて、

前記線形化回路は、

前記ループフィルタからの発振周波数制御信号の電圧を電流に変換する電圧－電流変換回路と、

前記電圧－電流変換回路からの電流を受け、この受けた電流の値に応じたチャージポンプ電流制御信号を生成し、このチャージポンプ電流制御信号を前記チャージポンプ回路に出力するチャージポンプ電流制御回路とを有し、

前記チャージポンプ回路は、前記チャージポンプ電流制御回路からのチャージポンプ電流制御信号に基づいて、流す電流の値を調整する

ことを特徴とするPLL周波数シンセサイザ。

## 補正書の請求の範囲

[ 2005年10月18日 (18. 10. 05) 国際事務局受理：出願当初の請求の範囲4, 6及び7は補正された；出願当初の請求の範囲1, 2, 3, 10及び11は取り下げられた；他の請求の範囲は変更なし。(5頁) ]

[1] (削除)

[2] (削除)

[3] (削除)

補正された用紙 (条約第 19 条)

## [4] (補正後)

発振周波数制御信号の電位に応じて発振周波数を変化させる電圧制御型発振器と、

前記電圧制御型発振器からの出力信号を所定の分周比に分周する分周器と、

前記分周器からの出力信号と外部からのリファレンス信号とを受け、この両信号間の位相差を検出して位相差信号を出力する位相比較器と、

前記位相比較器の位相差信号に応じて一定電流を流入又は流出させるチャージポンプ回路と、

前記チャージポンプ回路の出力の高周波成分を濾波すると共に、前記チャージポンプ回路から流入又は流出する電流を電圧に変換して、前記発振周波数制御信号として出力するループフィルタとを備えると共に、

PLL周波数シンセサイザのループゲインの前記発振周波数制御信号に対する非線形性を補償するように、前記チャージポンプ回路の利得を制御する線形化回路を備え、

前記線形化回路は、

前記ループフィルタの発振周波数制御信号を受け、この発振周波数制御信号の電位に応じて、流す電流が変化する複数個のトランジスタを有し、

前記トランジスタが流す電流の総和により、前記チャージポンプ回路の利得を連続的に制御する

ことを特徴とするPLL周波数シンセサイザ。

## [5] 前記請求項4記載のPLL周波数シンセサイザにおいて、

前記線形化回路が有する複数個のトランジスタは、各々、閾値電圧が異なる

ことを特徴とするPLL周波数シンセサイザ。

## [6] (補正後)

発振周波数制御信号の電位に応じて発振周波数を変化させる電圧制御型発振器と、

前記電圧制御型発振器からの出力信号を所定の分周比に分周する分周器と、

前記分周器からの出力信号と外部からのリファレンス信号とを受け、この両信号間の位相差を検出して位相差信号を出力する位相比較器と、

前記位相比較器の位相差信号に応じて一定電流を流入又は流出させるチャージポンプ回路と、

前記チャージポンプ回路の出力の高周波成分を濾波すると共に、前記チャージポンプ回路から流入又は流出する電流を電圧に変換して、前記発振周波数制御信号として出力するループフィルタとを備えると共に、

PLL周波数シンセサイザのループゲインの前記発振周波数制御信号に対する非線形性を補償するように、前記チャージポンプ回路の利得を制御する線形化回路を備え、

前記線形化回路は、

前記ループフィルタの発振周波数制御信号を受け、この発振周波数制御信号の電位に応じて、流す電流が変化するトランジスタと、

バイアス電圧を発生するバイアス電圧発生回路とを有し、

前記線形化回路が有するトランジスタは、ソースに前記バイアス電圧発生回路のバイアス電圧が与えられ、ゲートに前記ループフィルタの発振周波数制御信号が与えられ、

前記トランジスタが流す電流の値に基づいて、前記チャージポンプ回路の利得を連続的に制御する

ことを特徴とするPLL周波数シンセサイザ。

[7] (補正後)

前記請求項6記載のPLL周波数シンセサイザにおいて、

前記線形化回路が有するトランジスタは、複数個で構成され、

前記複数個のトランジスタが流す電流の総和により、前記チャージポンプ回路の利得を連続的に制御する

ことを特徴とするPLL周波数シンセサイザ。

[8] 前記請求項7記載のPLL周波数シンセサイザにおいて、

前記バイアス電圧発生回路は、異なる複数のバイアス電圧を発生し、

前記線形化回路が有する複数個のトランジスタは、各々のソースに、前記バイアス電圧発生回路からの異なるバイアス電圧が与えられる

ことを特徴とするPLL周波数シンセサイザ。

- [9] 前記請求項8記載のPLL周波数シンセサイザにおいて、  
前記バイアス電圧発生回路は、

外部から入力されるバイアス電圧設定信号に基づいて、発生する複数のバイアス電圧を変更する

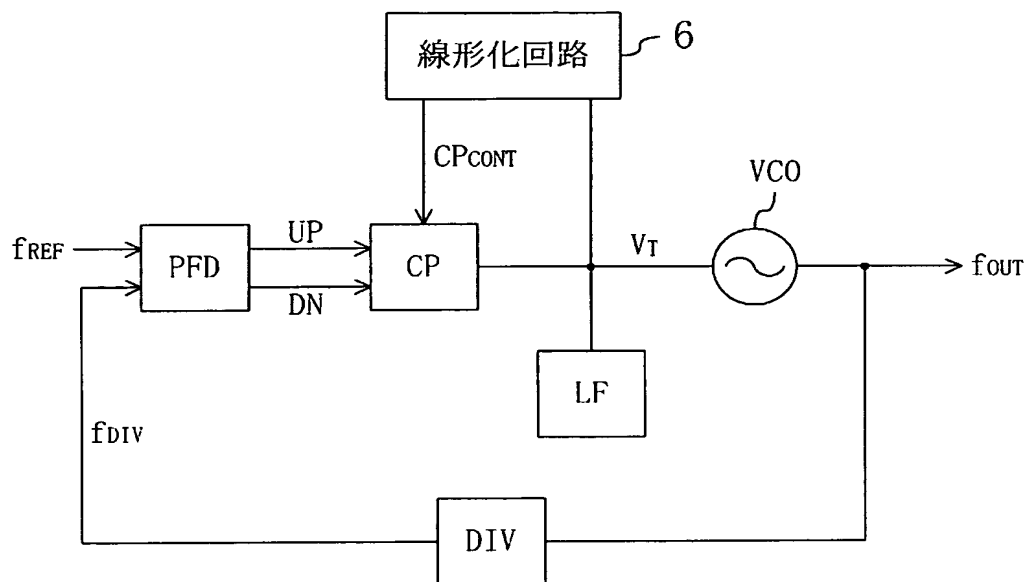
ことを特徴とするPLL周波数シンセサイザ。

[10] (削除)

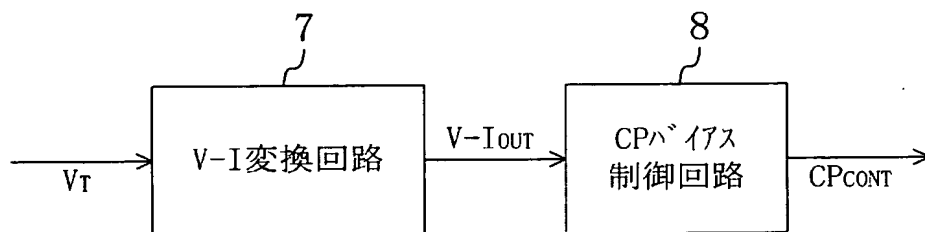
[11] (削除)



[図1]

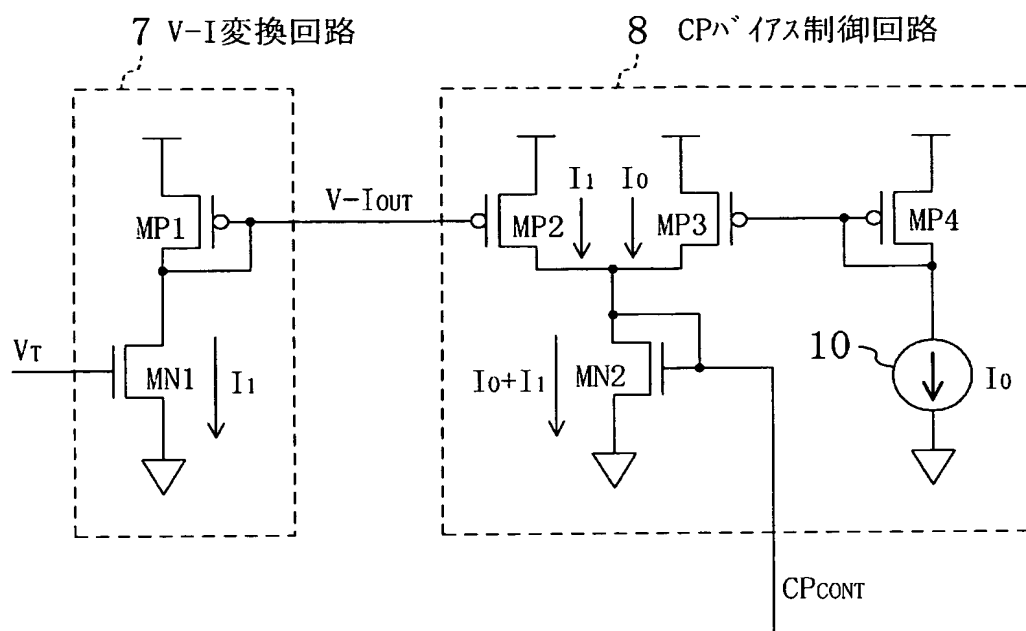


[図2]

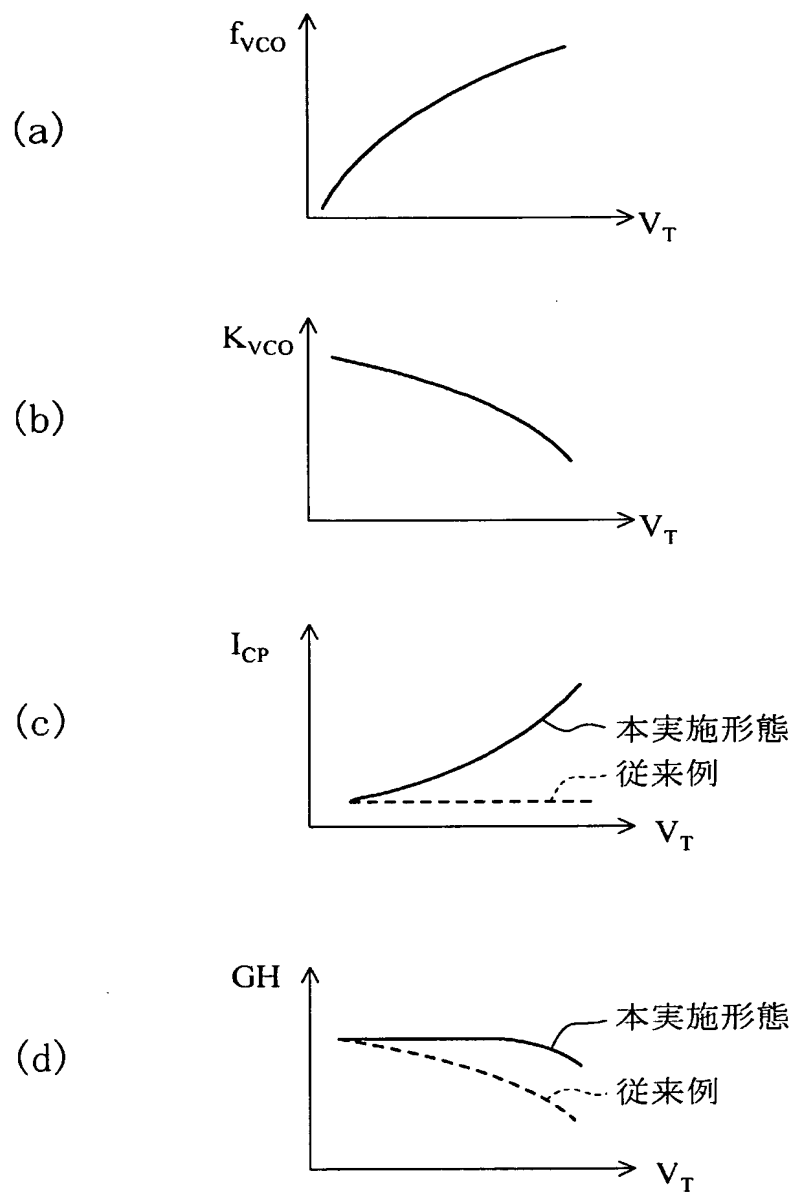
6 線形化回路

[図3]

## 6 線形化回路

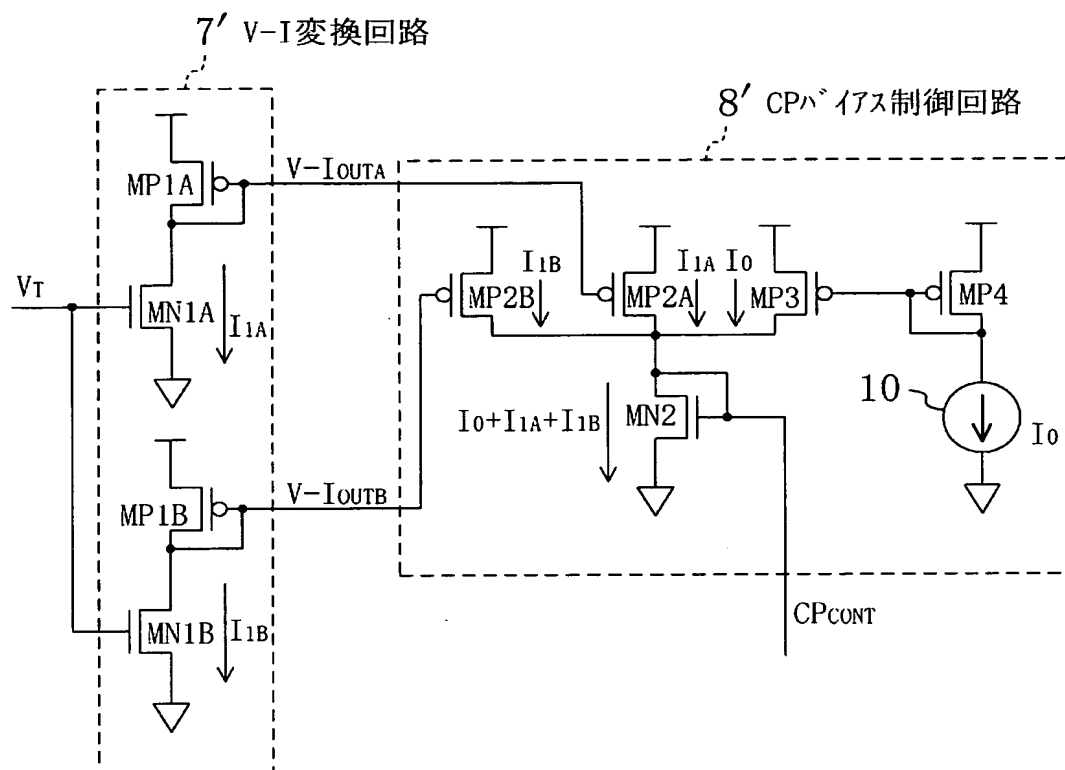


[図4]

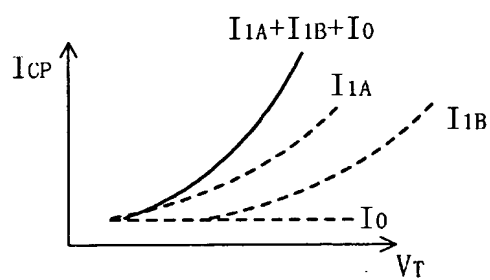


[図5]

## 6' 線形化回路

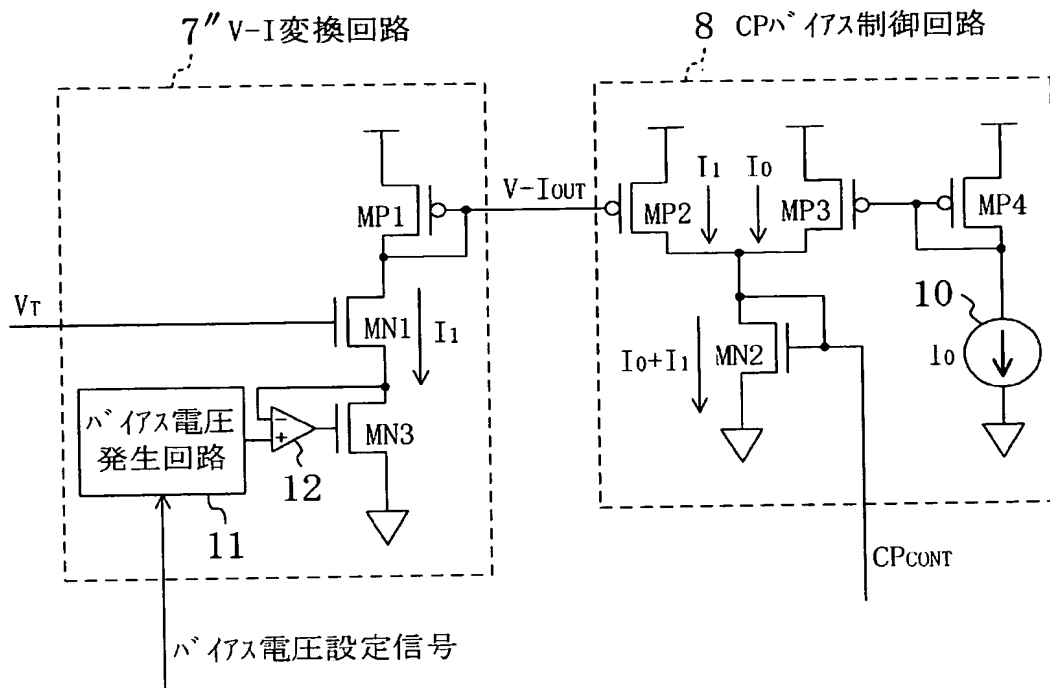


[図6]



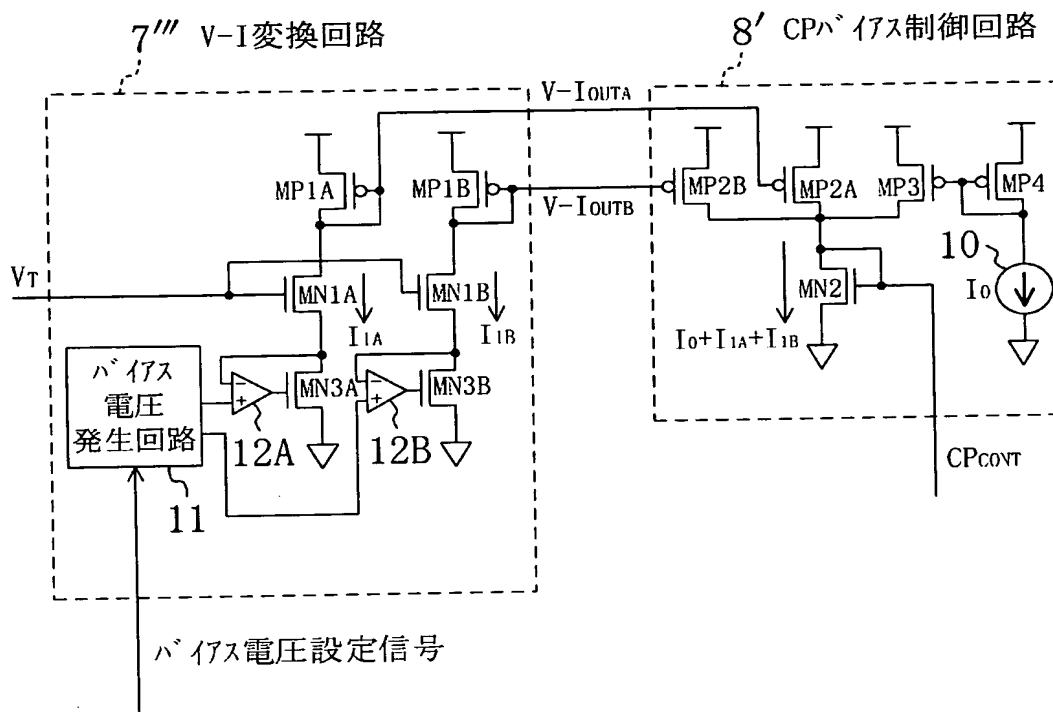
[図7]

## 6'' 線形化回路



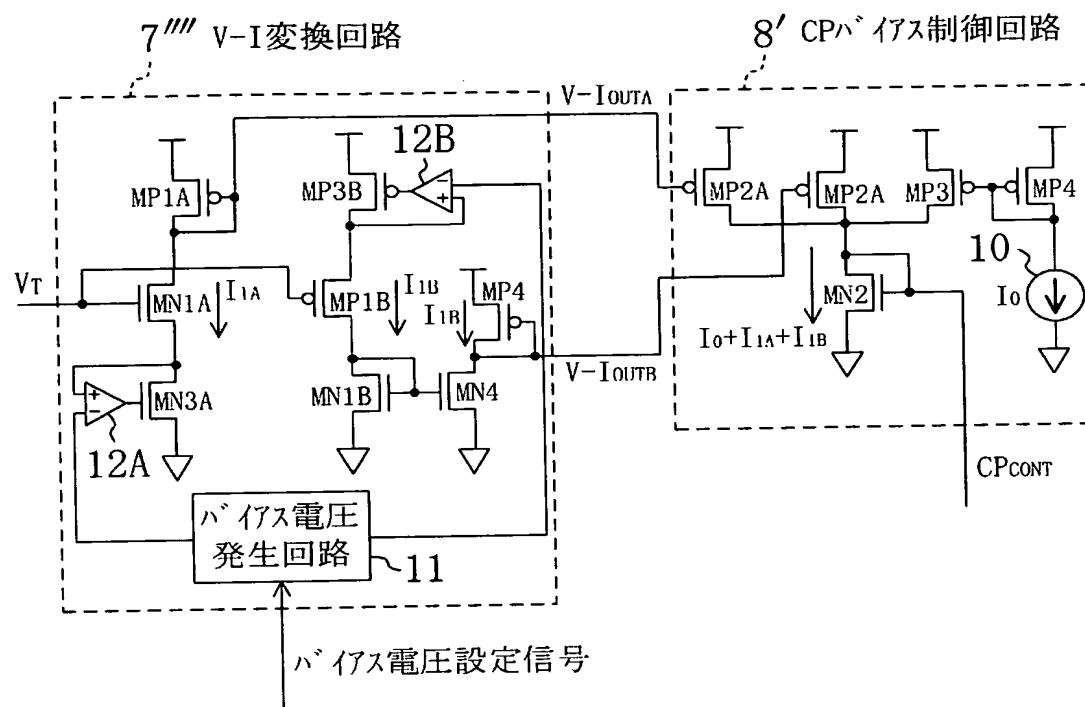
[図8]

## 6''' 線形化回路

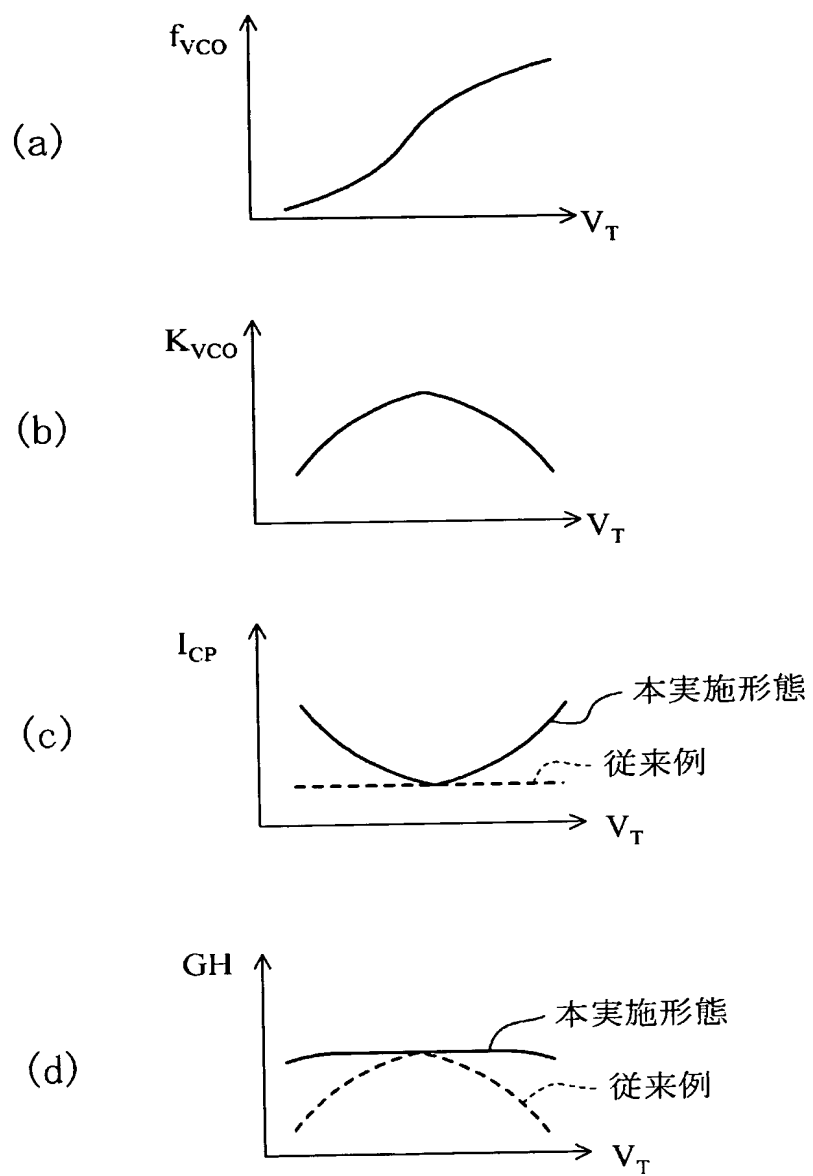


[図9]

## 6''' 線形化回路

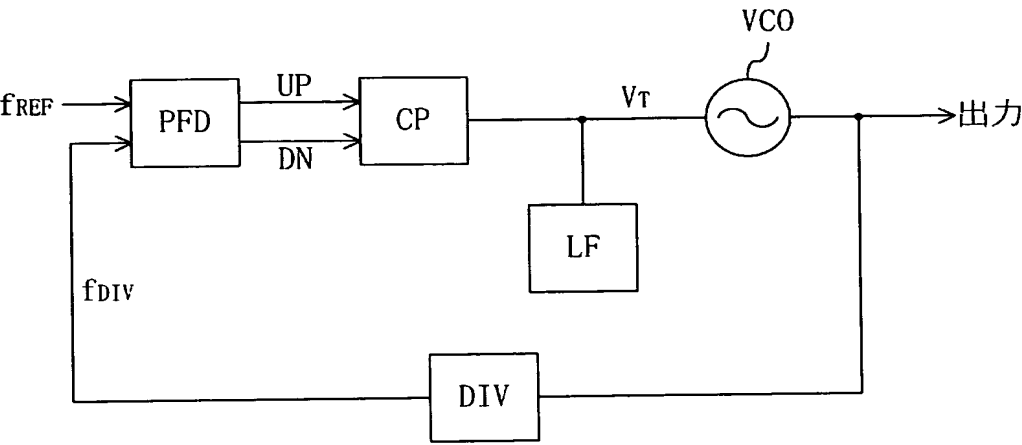


[図10]

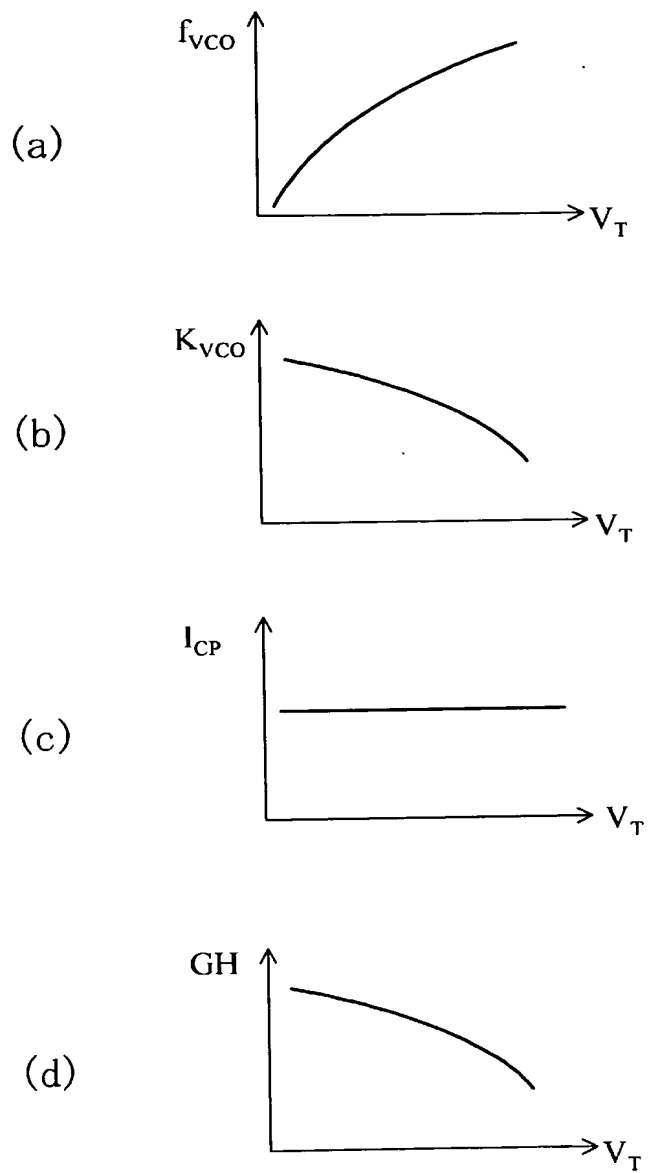




[図11]



[図12]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/008708

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H03L7/093

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>7</sup> H03L7/06-7/23Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-251902 A (NEC Yamagata, Ltd.), 17 September, 1999 (17.09.99), Par. Nos. [0035] to [0045]; Figs. 5 to 9 (Family: none)	1-3, 11
X	JP 2000-013220 A (Oki Electric Industry Co., Ltd.), 14 January, 2000 (14.01.00), Par. Nos. [0026] to [0028]; Fig. 8 (Family: none)	1, 2

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
08 July, 2005 (08.07.05)Date of mailing of the international search report  
26 July, 2005 (26.07.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H03L7/093

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H03L7/06-7/23

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-251902 A (山形日本電気株式会社) 1999.09.17, 段落【0035】-段落【0045】、【図5】-【図9】 (ファミリーなし)	1-3, 11
X	JP 2000-013220 A (沖電気工業株式会社) 2000.01.14, 段落【0026】-段落【0028】、【図8】 (ファミリーなし)	1, 2

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

08.07.2005

国際調査報告の発送日

26.7.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

甲斐 哲雄

電話番号 03-3581-1101 内線 3574

5W

9750